

引用格式:李瑞,蒋剑飞,王 琴. 一种基于三态反相器的高精度时间放大器[J]. 微电子学与计算机,2020,37(8):43-48. [LI R, JIANG J F, WANG Q. A high precision time-difference amplifier based on tri-state inverter[J]. Microelectronics & Computer, 2020,37(8):43-48.]

一种基于三态反相器的高精度时间放大器

李 瑞,蒋剑飞,王 琴

(上海交通大学 电子信息与电气工程学院,上海 200240)

摘 要:传统的基于三态反相器设计的时间放大器(TDA)具有电路复杂度低、对电压余度和温度的影响不敏感的特点,但该结构的时间分辨率低,增益误差大,应用范围相对较窄.本文提出一种改进的时间放大器结构,通过重新设计延迟链控制信号产生电路以实现高精度增益的要求.基于 40 nm CMOS 工艺进行 Spectre 仿真结果表明,本文提出的 TDA 结构不仅具有稳定可控的增益(增益误差保持在 $\pm 4\%$ 以下)和高时间分辨率(380 fs),而且输入范围得到进一步提升.

关键词:时间放大器;三态反相器;传输门逻辑;线性度;高时间分辨率

中图分类号: TN722.1

文献标识码: A

文章编号: 1000-7180(2020)08-0043-06

A high precision time-difference amplifier based on tri-state inverter

LI Rui,JIANG Jian-fei, WANG Qin

(School of Electronic Information and Electrical Engineering,Shanghai Jiao Tong University,Shanghai 200240,China)

Abstract: The traditional three-state inverter based time-difference amplifier (TDA) has the characteristics of low circuit complexity, insensitivity to voltage margin and temperature, but the structure has low time resolution, large gain error and relatively narrow application range. An improved TDA structure that achieves high-precision gain by redesigning the delay chain control signal generation circuit is presented in this paper. Measurement results of Spectre based on 40 nm CMOS process show that the proposed TDA not only has stable and controllable gain (gain error is less than $\pm 4\%$) and high time resolution (up to 380 fs), but the input range is further improved.

Key words: time-difference amplifier; tri-state inverter; transmission gate logic; linearity;high time resolution

1 引言

随着 CMOS 电路中晶体管尺寸的不断缩小和电源电压的降低,信号在时域表现出比电压域更高的分辨率,促使以数字电路为核心的时域信号处理方法得到广泛的关注.在时间模式系统中,模拟域的信息由两个数字时钟之间的时间差值表示,这种系统的基本模块之一是时间放大器(TDA).最近,TDA 已被广泛应用于时间模式信号处理^[1](TM-

SP)的设计中,如全数字锁相环(ADPLL)^[2],模拟-数字转换器^[3],时钟抖动测量^[4],医学成像^[5]和时间-数字转换器(TDCs)^[6]等.在这些应用中,TDA 的高时间分辨率、高线性度及宽动态范围是实现信号精确表示的基础.

文献[7]中基于 RS 锁存器亚稳态特性实现的 TDA 利用输入时间差与锁存器解析时间之间的固有依赖性来获取高增益,然而这种架构支持的动态范围较窄且增益对各种工艺参数敏感,因此这种类

型的 TDA 需要频繁校准. 文献[8]提出的基于放电时间控制的 TDA 增益会随着输入范围的增大而迅速降低, 因此该电路需要动态校准以在整个输入范围内实现恒定的增益. 文献[9]中作者提出一种基于环形振荡器的 TDA, 该 TDA 无需校准且在相对较宽的输入范围内实现了可预测的增益, 然而该 TDA 的性能受到环形振荡器频率的限制. 文献[10]使用类似于文献[9]的概念提出一种基于三态反相器的开环延迟链结构, 该结构允许在较宽的输入范围内实现时间差放大, 然而两条链之间的延迟误差及 EN 与 EN' 之间的翻转时间误差影响了该 TDA 的分辨率和线性度.

本文针对上述电路结构中的不足, 提出一种无需校准且具有高时间分辨率、高线性度及宽动态范围的 TDA 电路结构, 该 TDA 采用三态反相器作为延迟链的基本单元, 通过使用传输门和基本反相器实现输入信号的准确延迟和控制信号的翻转. 仿真结果表明, 本文提出的 TDA 结构不仅增益误差小而且具有易实现、易移植、增益可编程的特点.

2 时间放大器的工作原理

传统的基于三态反相器设计的 TDA 电路结构如图 1 所示.

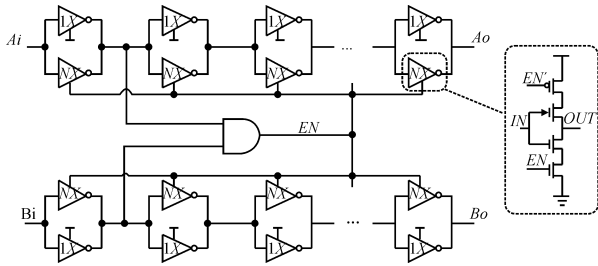


图 1 传统的基于三态反相器的时间放大器

该 TDA 电路由两组相同的基于三态反相器的延迟链组成, 每一级分别由具有 1X 和 NX 倍尺寸的两个并联的三态反相器驱动. 首先检测 A_i 和 B_i 信号的上升沿时间差, 并将该时间差进行放大. 在初始状态, A_i 、 B_i 信号同时为低电平, 此时控制信号 EN 和 EN' 分别对应高电平和低电平, NX 倍尺寸的三态反相器被激活. 当 A_i 信号优先翻转为高电平时, 该信号通过一级 $(N+1)X$ 倍尺寸的三态反相器和一个与门将 EN 信号拉低, 在 EN 信号变为低电平之前 A_i 和 B_i 信号经过的三态反相器尺寸均为 $(N+1)X$ 倍, 在此之后两组传输链的剩余门级均由 1X 倍尺寸的三态反相器 (门级延迟为 $(N+1)X$ 倍尺寸的三态反相器的 $N+1$ 倍) 进行驱动. 由于 A_i 上升沿

的移动速度比 B_i 快, 在延迟链的末端 A_o 和 B_o 之间会出现 $N+1$ 倍的延迟差.

假设两组传输链均含有 M 级延迟单元, t_s 为一级 $(N+1)X$ 倍尺寸的三态反相器延迟, t_l 为一级 1X 倍尺寸的三态反相器延迟 ($t_l = (N+1)t_s$), 在 EN 切换为低电平前 A_i 上升沿已经传递 a 级, B_i 上升沿已经传递 b 级, 为实现输入时间差放大 $N+1$ 倍, 将图 2 中 $t_{B_i} - t_{A_i} = \Delta t$ 带入式(1)

$$\begin{aligned} t_{B_o} - t_{A_o} &= t_{B_o} - t_{B_i} + \Delta t - (t_{A_o} - t_{A_i}) = \\ &= bt_s + (M-b)t_l + \Delta t - [at_s + (M-a)t_l] = \\ &= (a-b)(t_l - t_s) + \Delta t \end{aligned} \quad (1)$$

$$t_{B_o} - t_{A_o} = (N+1)\Delta t \quad (2)$$

令式(1) = 式(2), 获得高精度增益的要求为 $at_s - bt_s = \Delta t$, 通过分析图 1 中基于三态反相器的电路结构得到如下结论:

(1) 当 $0 < b < 1$ 时, 考虑到第一级延迟单元的输入驱动强度无法确定且该级的负载与之后各级负载并不相等, 由此造成的误差使得 TDA 在该区间内无法实现高精度的线性放大;

(2) 当 $0 < a - b < 1$ 时, 特别地当两条延迟链的加速停止点位于同一级时, 传统的基于 CMOS 反相器延迟的 TDA 结构固有地无法实现稳定的增益;

(3) EN 与 EN' 之间翻转的时间误差同样是不可忽略的影响因素;

针对上述问题, 本文将获得高精度增益的要求更改为 $at_s = \Delta t$, 即传输 B_i 信号的延迟链始终由 1X 倍尺寸的三态反相器驱动. 基于该工作原理, 本文对控制电路和基于三态反相器的延迟链进行重新设计和优化.

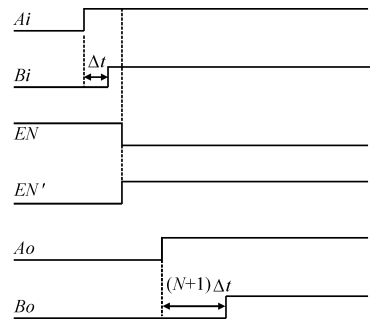


图 2 时间放大器的时序图

3 时间放大器的电路设计

本文设计的 TDA 电路结构如图 3 所示, 它主要包含两组延迟链 TD1 和 TD2 以及两组控制信号产生电路. 该电路采用对称的结构设计以缩小信号

之间的传输误差,图中虚线左侧的电路主要用于实现 EN 和 EN' 的对称翻转,为准确地实现 $at_s = \Delta t$ 的要求,电路还需要保证 Bi 经过两级三态反相器后信号的上升沿与 EN 的下降沿对齐(调整基本反相器 B1、B2 的尺寸),虚线的右侧包含 M_2 级三态反相器延迟单元,TD1 链中反相器的控制信号由 Bi 经过固定时长的延迟后给出,相应地 TD2 链中反相器的

控制信号由 Ai 经过相同时长的延迟后给出. 本文提出使用传输门加基本反相器的结构(如图 4 所示)实现原始信号的延迟输出和取反信号的延迟输出,考虑到 EN 和 EN' 信号(EN2 和 EN2' 信号)之间负载不同的情况,本文通过配平负载的方式进行负载均衡,最终获得完全对称的 EN 和 EN' 信号(EN2 和 EN2' 信号).

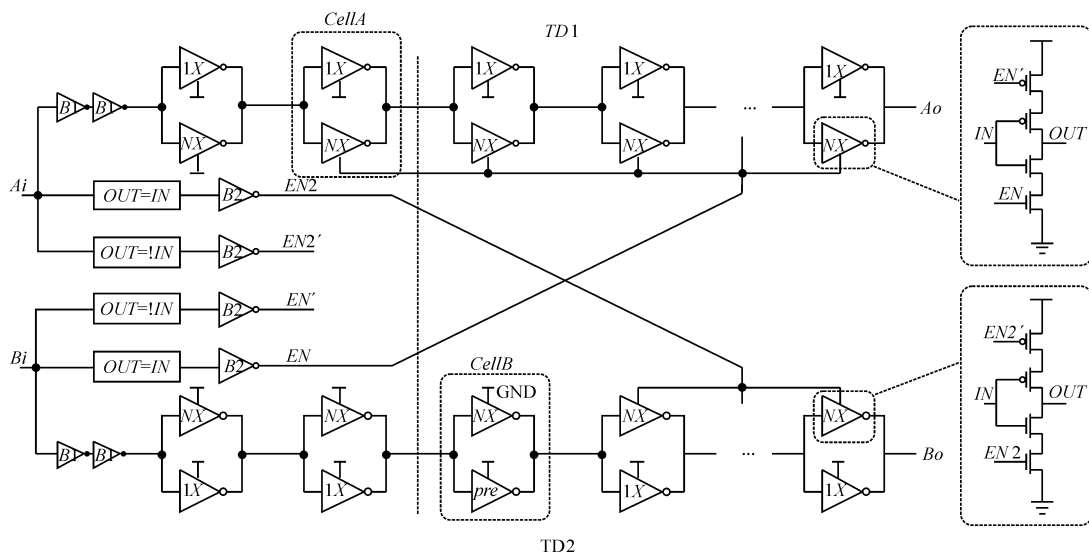


图 3 高精度 TDA 电路

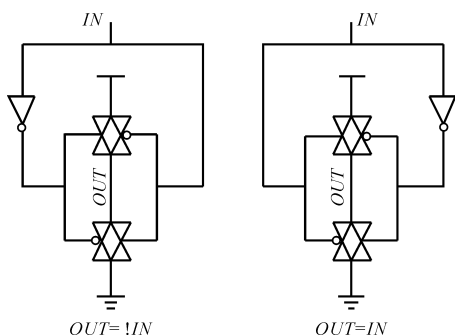


图 4 传输门逻辑

为实现高精度的 TDA,本文通过在延迟链 TD1 和 TD2 最左侧增加两级三态反相器延迟单元的方式实现输入信号翻转斜率的恢复,进而减小后级翻转误差. 为了保证 Bi 在经过 TD2 虚线右侧的延迟单元时,延迟链消耗的时间固定不变且始终等于由 1X 倍尺寸的三态反相器驱动的延迟,本文对 CellB 单元做了如下调整,将 CellB 中 NX 倍尺寸的三态反相器的控制信号接至 GND(EN2 和 EN2' 信号翻转斜率不是无穷大),为了将快信号转变为慢信号的时间点控制在虚线处,本文需要在 TDA 电路工作之前进行 pre 反相器尺寸的调整,最终实现 Bi 信号高精度的信号传输.

考虑 Ai 和 Bi 信号的延时差小于 1 级三态反相器延迟单元的情况,由于 EN 和 EN' 信号翻转斜率不是无穷大,本文通过将 CellA 中三态反相器的控制信号接至 EN 和 EN' 来减小 TD1 链的传输误差.

4 电路仿真与分析

为评估提出的 TDA 电路性能,本文在 40nmCMOS 工艺下对上述 4 种 TDA 结构(文献[7]、[8]、[10]和本文提出的 TDA)进行了 Spectre 仿真. 图 5 和图 6 分别给出了在指定输入范围(100 ps)内 TDA 的输出随输入变化的传输特性曲线和相应的增益变化,以上 4 种 TDA 结构均使用最小的器件尺寸进行设计,供电电压为 1.1 V,仿真温度为 27°C.

此外本文还对文献[7-8]中提出的 TDA 和该 TDA 在 1 点(0.38 ps,本文提出 TDA 的最小时间输入)上进行了校准,以确保它们在最小输入范围内都具有初始的 9(N=8)倍增益. 与具有波动增益或指数衰减增益的 TDA(文献[7-8]和[10])相比,本文提出的 TDA 结构不仅传输特性曲线接近于理想值(如图 5 虚线所示),而且具有更稳定的增益.

对比图 6 中的增益曲线发现,在指定输入范围

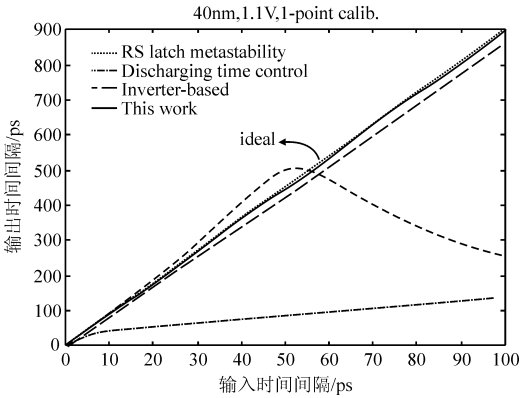


图 5 各时间放大器的瞬态仿真曲线

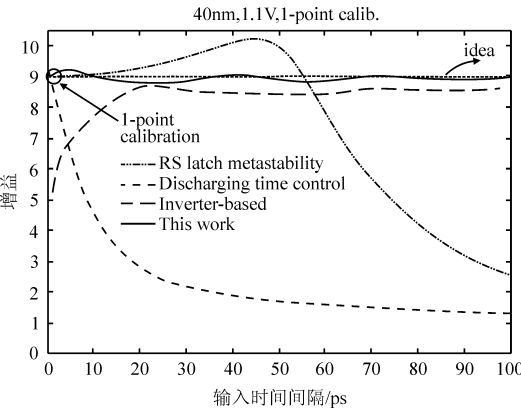


图 6 各时间放大器的增益曲线

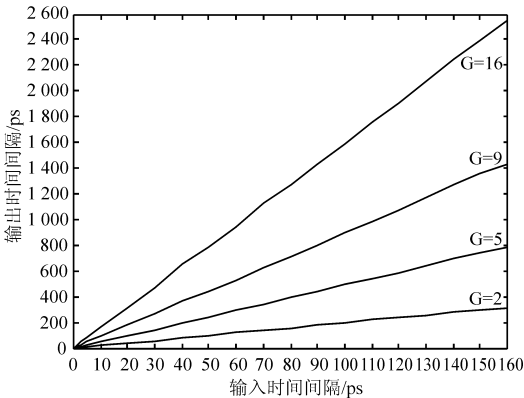


图 7 本文提出 TDA 的瞬态仿真曲线

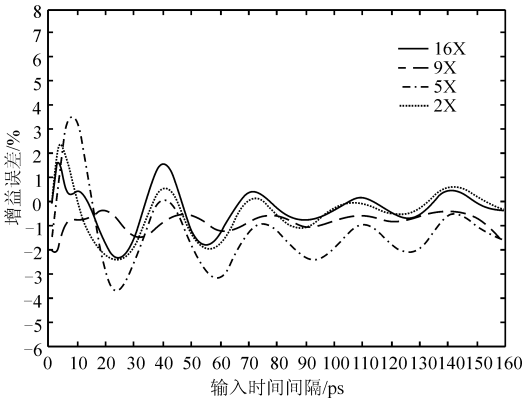


图 8 本文提出 TDA 的增益误差

内除本文提出的 TDA 外,其他三种时间放大器均有较大的增益误差. 其中基于 RS 锁存器亚稳态特性设计的 TDA 结构的增益误差范围为 $-71\% \sim 15\%$, 基于放电时间控制的 TDA 结构的增益误差从 -83% 变化到 3% , 传统的基于三态反向器设计的 TDA 结构在相对稳定的放大区间 ($16 \sim 100$ ps) 内增益误差稳定在 -8% 以内, 在一个三态反相器延迟的输入范围 ($0 \sim 16$ ps) 内增益曲线严重偏离理想值.

为进一步探究本文提出的 TDA 结构的工作量程及增益的稳定性, 本文分别对具有 $4 \sim 13$ 级(可编程)延迟单元的 TDA 结构进行了仿真.

图 7 显示了具有 13 级三态反相器延迟单元的 TDA 结构在 $G = \{2, 5, 9, 16\}$ 增益值下输出时间间隔随输入的变化情况, 图 8 给出了相应的增益误差, 仿真结果表明本文提出的 TDA 结构可以在 0.38 ps ~ 160 ps ($M_2 = 13$) 的输入范围内实现稳定的时间差放大, 且对于所有的增益值而言增益误差保持在 $\pm 4\%$ 以下. 值得注意的是这些仿真结果均在没有任何额外的校准电路参与下获得.

本文在不同的电压、温度和工艺角下对该 TDA 结构进行仿真以分析其工作的稳定性, 图 9 显示了供电电压的变化对 TDA 增益的影响, 电压变化范围为 $0.99 \sim 1.21$ V, 间隔为 0.01 V. 由图可知, 当增益值较小时, 电压的变化对增益影响非常小, 随着增益值的变大, 供电电压对 TDA 线性度的影响增大, 但增益误差稳定在 $\pm 6\%$ 以下. 图 10 显示了温度的变化对 TDA 增益的影响, 温度变化范围为 $-40^\circ\text{C} \sim 125^\circ\text{C}$, 间隔为 5°C . 由图可知, TDA 增益随温度的升高而线性增大, 同样在增益相对较小时, 温度的变化对增益几乎无影响. 当增益值为 16 时, 增益的误差范围为 $-3.09\% \sim 6.06\%$. 基于以上分析, 所提出的 TDA 结构对电压和温度的变化不敏感.

图 11 给出了该 TDA 在不同工艺角的仿真结果, 本文以 $G = 9$ 为例, 在 TT、FF、SS 工艺角下, TDA 的增益误差稳定在 $\pm 6.13\%$ 以下, 在 FNFP 和 SNFP 工艺角下, TDA 的增益值波动明显. 出现上述仿真现象的原因是 NMOS 和 PMOS 翻转速度不一致, 即延迟链前后级的翻转时间差异较大, 与该 TDA 的工作原理不符, 因此本文提出的 TDA 结构对三态反相器的对称性有一定的要求.

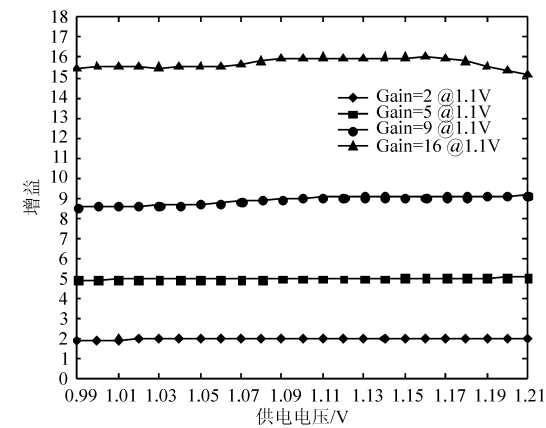


图 9 不同供电电压下 TDA 的仿真曲线

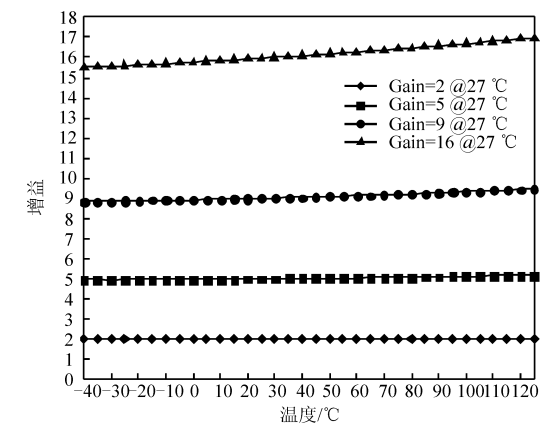


图 10 不同温度下 TDA 的仿真曲线

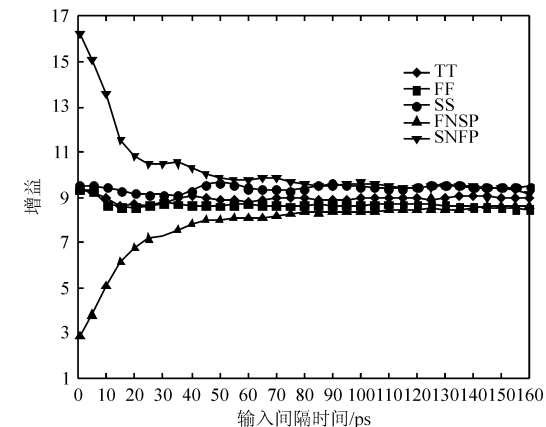


图 11 TDA 工艺角仿真曲线

为评估所提出的 TDA 结构在晶体管失配的情况下的增益稳定性,本文通过 Cadence Virtuoso 中的蒙特卡洛仿真工具对图 3 所示电路进行分析,图 12 给出了理论增益值为 9 时 TDA 增益分布的直方图,仿真固定输入时间差为 1 ps,仿真点数为 300,由图可知,增益平均值和标准差分别为 9.049 34 和 0.410 8.

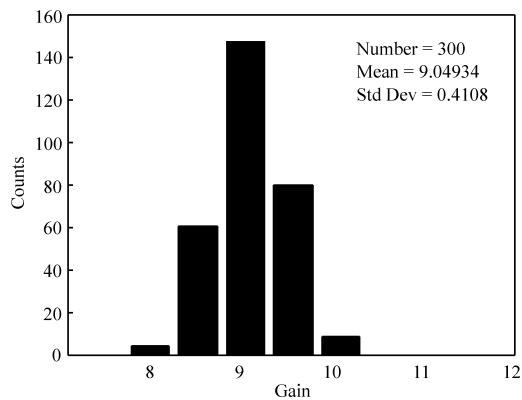


图 12 TDA 蒙特卡洛直方图

最后本文将该 TDA 与其他文献中 TDA 的关键参数总结至表 1. 对比发现,本文提出的 TDA 结构不仅增益可控,而且在整个输入范围内增益精度得到大幅提高. 考虑到 TDA 的输出负载对延迟链的影响,本文将基于三态反相器设计的 TDA 结构的工作量程均缩小一个延迟单元的时间,因此文献[10]提出的 TDA 结构的稳定增益区间 θ_1 为 $t_s \sim (M-2)t_s$, 本文提出的 TDA 结构的稳定增益区间 θ_2 为 $0.38 \text{ ps} \sim (M_2-1)t_s$. 由此可见,当 $M=M_2$ 时,本文提出的 TDA 结构具有更大的工作量程.

表 1 本文与其他文献中 TDA 的参数对比

参数	文献[7]	文献[8]	文献[10]	本文
工艺/nm	90	180	65	40
增益控制	Analog	Analog	Digital	Digital
增益	20(fixed)	2(fixed)	$N+1$	$N+1$
输入范围/ps	± 40	± 100	θ_1	θ_2

5 结束语

本文基于三态反相器提出了一种全数字时间放大器电路结构,通过对称的电路结构设计保证了信号在延迟链之间传输的精确度,通过采用传输门加基本反相器的结构实现了控制信号的对称输出,为实现该结构在小输入范围内的稳定增益,本文对 2 组延迟链的特定单元进行了调整. 仿真结果表明本文提出的 TDA 结构不仅具有高线性度,而且在更大的输入范围内实现了稳定可控的增益.

参考文献:

[1] YU W, KIM K, CHO S. A0.22 ps rms integrated noise 15 MHz bandwidth fourth-order $\Delta\Sigma$ time-to-dig-

- ital converter using time-domain error-feedback filter [J]. IEEE Journal of Solid-State Circuits, 2015, 50(5): 1251-1262.
- [2] LYU Y X, FENG J H, YE H F, et al. All-digital synchronous $2 \times$ time-difference amplifier based on time register [J]. Electronics Letters, 2017, 53(16): 1102-1104.
- [3] NARAGHI S, COURCY M, FLYNN M P. A 9-bit, $14 \mu\text{W}$ and 0.06 mm^2 pulse position modulation ADC in 90 nm digital CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45(9): 1870-1880.
- [4] CAO Y, COCK W D, STEYAERT M, et al. 1-1-1 MASH Delta-Sigma time-to-digital converters with 6 ps resolution and third-order noise-shaping [J]. IEEE Journal of Solid-State Circuits, 2012, 47(9): 2093-2106.
- [5] CHEN H, ZHANG Y, LI D D. A low nonlinearity, missing-code free time-to-digital converter based on 28-nm FPGAs with embedded bin-width calibrations [J]. IEEE Transactions on Instrumentation and Measurement, 2017, 66(7): 1912-1921.
- [6] HEO M, KWON D, LEE M. Low-power programmable high gain time difference amplifier with regeneration time control [J]. Electronics Letters, 2014, 50(16): 1129-1131.
- [7] LEE M, ABIDI A A. A 9b, 1.25ps resolution coarse-fine time-to-digital converter in 90nm CMOS that amplifies a time residue [C] // IEEE Symposium on VLSI Circuits. Kyoto, Japan, 2007: 168-169.
- [8] LEE S, SEO Y, SUH Y, et al. A 1GHz ADPLL with a 1.25ps minimum-resolution sub-exponent TDC in $0.18\mu\text{m}$ CMOS [C] // IEEE International Solid-State Circuits Conference. San Francisco, CA, USA, 2010: 482-483.
- [9] KIM B, KIM H, KIM C H. An 8bit, 2.6ps two-step TDC in 65nm CMOS employing a switched ring-oscillator based time amplifier [C] // IEEE Custom Integrated Circuits Conference. San Jose, CA, USA, 2015: 1-4.
- [10] CHIU P, LIU M, TANG Q, et al. A 2.1 pJ/bit, 8 Gb/s ultra-low power in-package serial link featuring a time-based front-end and a digital equalizer [C] // IEEE Asian Solid-State Circuits Conference. Tainan, Taiwan, China, 2018: 187-190.

作者简介:

李 瑞 男, (1994-), 硕士研究生. 研究方向为高速数字集成电路设计. E-mail: lr294515@sjtu.edu.cn.

蒋剑飞 男, (1979-), 助理研究员. 研究方向为高速数字集成电路设计、SoC 设计与系统集成.

王 琴 女, (1975-), 副教授. 研究方向为大规模集成电路设计、先进集成电路设计方法.